

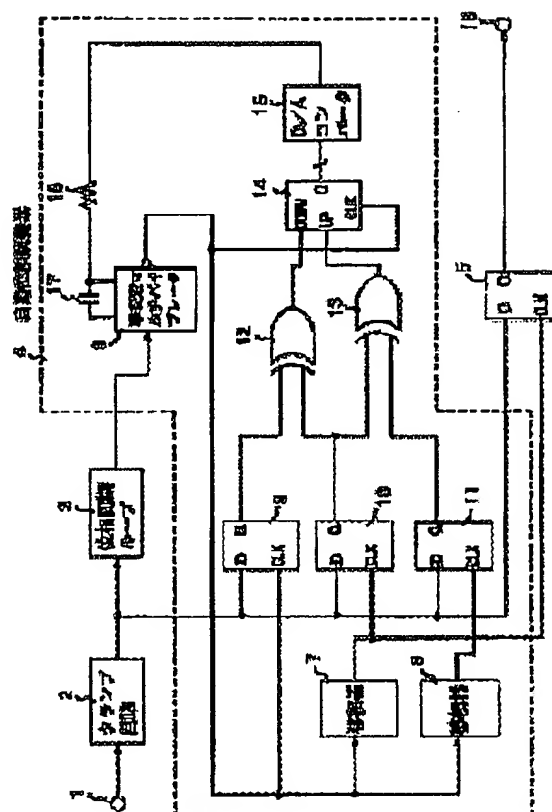
## DATA IDENTIFICATION REGENERATION CIRCUIT

**Patent number:** JP7221800  
**Publication date:** 1995-08-18  
**Inventor:** OKAMOTO AKIRA  
**Applicant:** NEC CORP  
**Classification:**  
- international: H04L25/03; G11B20/14; H03L7/06; H04L7/033; H04L25/08  
- european:  
**Application number:** JP19940030894 19940202  
**Priority number(s):**

### Abstract of JP7221800

**PURPOSE:** To obtain the data identification regeneration circuit adjusting automatically a phase of an edge of a clock signal used to received data at a phase at which data of an eye pattern of an input signal is most secured with respect to the data identification regeneration circuit identifying and regenerating data from the eye pattern.

**CONSTITUTION:** A phase locked loop 3 regenerates a clock of a digital input signal from a clamp circuit 2. An automatic phase adjustment device 4 discriminates respectively data of a digital input signal at a lead phase and a lagged phase with respect to a phase of the regenerated clock for a period smaller than a half of data confirming period of the digital input signal and data of the digital input signal at a phase of the regenerated clock and adjusts the phase of the regenerated clock outputted from the phase locked loop 3 so that the data values are equal to each other automatically and the result is outputted to a clock input terminal of a D flip-flop 5.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(11)特許出願公開番号

(43)公開日 平成7年(1995)8月18日

—901—

## 【特許請求の範囲】

【請求項1】 デジタル入力信号のクロックを再生する位相同期ループと、

該デジタル入力信号と該位相同期ループの出力再生クロックとを入力信号として受け、該デジタル入力信号のデータ確定期間の半分の期間より小なる期間、該再生クロックに対しそれぞれ進んだ位相と遅れた位相における該デジタル入力信号のデータ値と、該再生クロックの位相における該デジタル入力信号のデータ値とをそれぞれ弁別し、これらのデータ値が等しくなるように、該位相同期ループの出力再生クロックの位相を自動的に調整して出力する自動位相調整器と、

該自動位相調整器の出力クロックのエッジで前記デジタル入力信号のデータを取り込み、データ識別信号を出力するラッチ回路とを有することを特徴とするデータ識別再生回路。

【請求項2】 前記自動位相調整器は、

前記位相同期ループの出力再生クロックの前縁によりトリガされ、電源電圧に応じた幅のパルスを出力するパルス発生器と、

該パルス発生器の出力パルスの位相を前記デジタル入力信号のデータ確定期間の半分の期間より小なる期間遅らせる第1の移相器と、

該パルス発生器の出力パルスの位相を前記デジタル入力信号のデータ確定期間の半分の期間より大なる期間で、かつ、該データ確定期間よりも小なる期間相対的に遅らせる第2の移相器と、

該第1及び第2の移相器の出力パルスの後縁と、該パルス発生器の出力パルスの後縁のタイミングで該デジタル入力信号のデータを取り込む第1乃至第3のフリップフロップと、

該第1乃至第3のフリップフロップの出力データに基づき該デジタル入力信号に対する該パルス発生器の出力パルスの位相の進み遅れを検出する論理回路と、

該論理回路の出力検出結果に基づいて該第1乃至第3のフリップフロップの出力データがそれぞれ等しくなるように前記パルス発生器の電源電圧を可変する電源電圧可変回路とよりなり、前記パルス発生器の出力パルスを前記自動位相調整器の出力クロックとして前記ラッチ回路のクロック端子に入力し、該出力パルスの後縁で前記デジタル入力信号のデータを取り込ませることを特徴とする請求項1記載のデータ識別再生回路。

【請求項3】 前記電源電圧可変回路は、前記論理回路の出力により前記デジタル入力信号に対する前記パルス発生器の出力パルスの位相の進み遅れに応じて計数方向が制御される、該パルス発生器の出力パルス計数用のアップダウンカウンタと、該アップダウンカウンタの出力計数値に応じた値の電圧を発生して前記パルス発生器に電源電圧として供給するD/Aコンバータとよりなることを特徴とする請求項2記載のデータ識別再生回路。

【請求項4】 前記位相同期ループに入力されるデジタル入力信号は、デジタル信号をビットに同期させて時間軸上で掃引し重畳して得られるアイパターンを所定論理レベルに変換するクランプ回路より取り出すことを特徴とする請求項1乃至3のうちいずれか一項記載のデータ識別再生回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデータ識別再生回路に係り、特にアイパターンからデータを識別再生するデータ識別再生回路に関する。

【0002】

【従来の技術】 データを正確に識別再生するために、従来より入力信号のアイパターンの中心点で入力信号のラッチを行うことが知られている（例えば、特開昭63-177370号公報）。この従来のデータ識別再生回路は、D型フリップフロップのクロック入力端子に入力される位相同期ループの出力信号のエッジが、D型フリップフロップのデータ入力端子に入力される入力信号のアイパターンの中心点になるように、2タップ以上の遅延手段と論理回路を有するパルス発生回路により位相同期ループの入力信号とD型フリップフロップのデータ入力端子に入力される入力信号とを相対的に所定時間遅延する構成である。

【0003】 また、従来のデータ識別再生回路として図4のブロック図に示す構成の回路も知られている。同図において、入力端子31を介して入力された入力信号は、クランプ回路32によりクランプされた後位相同期ループ33とD型フリップフロップ35のデータ入力端子にそれぞれ入力される。位相同期ループ33は入力信号に同期した信号を生成出力し、これを移相器34に供給する。

【0004】 移相器34は位相同期ループ33の出力信号の立ち上がりエッジが、クランプ回路32の出力信号のアイパターンの中心点に位置するように、位相同期ループ33の出力信号の位相調整をしてD型フリップフロップ35のクロック入力端子に供給する。これにより、D型フリップフロップ35のQ出力端子からは移相器34の出力信号の立ち上がりエッジで、クランプ回路32の出力信号のアイパターンのデータが最も確定している部分をラッチして得た信号が取り出され、出力端子36へ出力される。

【0005】

【発明が解決しようとする課題】 しかるに、上記の従来のデータ識別再生回路はいずれも位相同期ループの構成要素である位相比較器の特性のずれや分周器の遅延により、位相同期時の出力波形の位相を正確に予測できないので、実際には前記パルス発生回路や移相器34によりD型フリップフロップのクロック信号の立ち上がりエッジを入力信号のアイパターンのデータが最も確定してい

3

るタイミングに揃えることが困難である。

【0006】本発明は上記の点に鑑みなされたもので、データを取り込むクロック信号のエッジの位相を、入力信号のアイパターンのデータが最も確定している位相に自動的に調整するデータ識別再生回路を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は上記の目的を達成するために、デジタル入力信号のクロックを再生する位相同期ループと、デジタル入力信号と位相同期ループの出力再生クロックとを入力信号として受け、デジタル入力信号のデータ確定期間の半分の期間より小なる期間、再生クロックに対しそれぞれ進んだ位相と遅れた位相におけるデジタル入力信号のデータ値と、再生クロックの位相におけるデジタル入力信号のデータ値とをそれぞれ弁別し、これらのデータ値が等しくなるように、位相同期ループの出力再生クロックの位相を自動的に調整して出力する自動位相調整器と、自動位相調整器の出力クロックのエッジで前記デジタル入力信号のデータを取り込み、データ識別信号を出力するラッチ回路とより構成したものである。

【0008】また、前記自動位相調整器は、前記位相同期ループの出力再生クロックの前縁によりトリガされ、電源電圧に応じた幅のパルスを入力するパルス発生器と、パルス発生器の出力パルスの位相を前記デジタル入力信号のデータ確定期間の半分の期間より小なる期間遅らせる第1の移相器と、パルス発生器の出力パルスの位相を前記デジタル入力信号のデータ確定期間の半分の期間より大なる期間で、かつ、データ確定期間よりも小なる期間相対的に遅らせる第2の移相器と、第1及び第2の移相器の出力パルスの後縁と、パルス発生器の出力パルスの後縁のタイミングでデジタル入力信号のデータを取り込む第1乃至第3のフリップフロップと、第1乃至第3のフリップフロップの出力データに基づき、デジタル入力信号に対するパルス発生器の出力パルスの位相の進み遅れを検出する論理回路と、論理回路の出力検出結果に基づいて第1乃至第3のフリップフロップの出力データがそれぞれ等しくなるようにパルス発生器の電源電圧を可変する電源電圧可変回路とより構成することができ、自動位相調整器を1個の集積回路で構成することができるので望ましい。

【0009】また、前記電源電圧可変回路は、前記論理回路の出力により前記デジタル入力信号に対する前記パルス発生器の出力パルスの位相の進み遅れに応じて計数方向が制御される、パルス発生器の出力パルス計数用のアップダウンカウンタと、アップダウンカウンタの出力計数値に応じた値の電圧を発生して前記パルス発生器に電源電圧として供給するD/Aコンバータとより構成することが、パルス発生器の出力パルスの幅を簡単に構成で可変することができ好ましい。

4

【0010】更に、前記位相同期ループに入力されるデジタル入力信号は、デジタル信号をビットに同期させて時間軸上で掃引し重畳して得られるアイパターンを所定論理レベルに変換するクランプ回路より取り出すことが、回路構成上望ましい。

【0011】

【作用】本発明では、ラッチ回路によりデジタル入力信号をクロック信号のエッジ（これは予め定められている方のエッジで、立ち上がりエッジ又は立ち下がりエッジ）でラッチすることにより、デジタル入力信号のデータを識別再生するにあたり、上記クロック信号を自動位相調整器により、デジタル入力信号のクロックを再生する位相同期ループからの再生クロックに対し、デジタル入力信号のデータ確定期間の半分の期間より小なる期間、それぞれ進んだ位相と遅れた位相におけるデジタル入力信号のデータ値と、再生クロックの位相におけるデジタル入力信号のデータ値とをそれぞれ弁別し、これらのデータ値が等しくなるように位相調整して得るようにしている。

【0012】ここで、上記の自動位相調整器において弁別される3つの位相におけるデジタル入力信号のデータ値は、位相同期ループからの再生クロックの位相がデジタル入力信号のデータ確定期間の中央位置にあるときにそれぞれ等しい値となり、再生クロックの位相が上記中央位置よりある位相以上ずれると上記の3つの位相におけるデジタル入力信号のデータ値のうちの少なくとも一つは他と異なる値となる。

【0013】従って、上記の自動位相調整器により3つの位相におけるデジタル入力信号のデータ値がそれぞれ等しくなるようにクロック信号の位相を自動調整することにより、位相同期ループの構成要素が経年変化更には温度変化などにより特性変化が生じて、クロック信号を入力信号のアイパターンの最もデータが確定しているタイミング位置に調整することができる。

【0014】

【実施例】次に、本発明の実施例について説明する。図1は本発明の一実施例の回路系統図を示す。同図に示すように本実施例は、入力端子1よりの入力信号をTTLレベルに変換するクランプ回路2と、デジタル入力信号のクロックを再生する位相同期ループ3と、デジタル入力信号と位相同期ループ3の出力再生クロックとを入力信号として受け、位相同期ループ3の出力再生クロックの位相を自動的に調整して出力する自動位相調整器4と、自動位相調整器4の出力クロックのエッジでデジタル入力信号のデータを取り込み、データ識別信号を出力端子18へ出力する、ラッチ回路の一例としてのD型フリップフロップ5とより構成されている。

【0015】自動位相調整器4は位相同期ループ3の出力再生クロックの立ち上がりによりトリガされる、パルス発生器の一例としての単安定マルチバイブレータ6

5

と、単安定マルチバイブレータ6の出力パルスの位相を所定量シフトする第1及び第2の移相器7及び8と、それぞれ位相同期ループ3の入力信号がデータ入力端子Dに入力される3つのD型フリップフロップ9、10及び11と、それぞれD型フリップフロップ9、10及び11のうちの二つのD型フリップフロップの出力パルスが入力される2入力排他的論理和回路(EX-OR回路)12及び13と、アップダウンカウンタ14と、D/Aコンバータ15と、抵抗16及びコンデンサ17とより構成されている。

【0016】アップダウンカウンタ14はEX-OR回路12、13の出力信号が減算計数制御入力端子DOWNと加算計数制御入力端子UPとに入力される。D/Aコンバータ15はこのアップダウンカウンタ14の出力計数値をアナログ信号電圧に変換する。抵抗16及びコンデンサ17は、このD/Aコンバータ15の出力電圧が、単安定マルチバイブレータ6の電源電圧として供給され、単安定マルチバイブレータ6の時定数を決定する。このような構成とすることにより、自動位相調整器4を1個の集積回路で構成することができるため、回路を小型化できる。

【0017】次に、本実施例の動作について、図2及び図3の波形図を併せ参照して説明する。入力端子1を介して入力されたデジタル信号はクランプ回路2に供給されて所定レベルにクランプされる。このクランプ回路2は、この入力デジタル信号をビットに同期させて時間軸上で掃引し重畳して得られる図2に20で示す如きアイパターンを、例えばトランジスタ・トランジスタ・ロジック(TTL)レベルに変換する。なお、図2において、21はアイパターン20の最もデータが確定しているタイミング位置(中心位置)を示す。

【0018】クランプ回路2から取り出されたデジタル入力信号は、ビットに同期させて時間軸上で掃引し重畳させて示すと図3に模式的に示される。図3において、デジタル入力信号23のうち24で示す部分はデータが確定していない信号遷移部分で、25はデータが確定している信号部分を示す。このデジタル入力信号23は、位相同期ループ3に供給されてそのクロックが再生される一方、D型フリップフロップ9、10及び11の各データ入力端子にそれぞれ入力される。

【0019】位相同期ループ3より取り出された再生クロックは単安定マルチバイブレータ6に入力され、その前縁(ここでは立ち上がりエッジ)でトリガする。単安定マルチバイブレータ6はこのトリガ時点で立ち下がり、抵抗16及びコンデンサ17の各値と電源電圧とにより定まる時定数に応じた期間後に立ち上がる負極性パルスを発生する。

【0020】ここで、抵抗16及びコンデンサ17の各値は一定であるのに対し、単安定マルチバイブレータ6の電源電圧は後述する如く可変されるため、電源電圧に

6

応じて単安定マルチバイブレータ6の出力パルスの幅(立ち下がりから立ち上がりまでの期間)が可変されることとなる。換言すると、D/Aコンバータ15の出力電圧に応じた時間、位相同期ループ3より取り出された再生クロックの立ち上がりエッジが単安定マルチバイブレータ6より遅延調整されて取り出される。

【0021】単安定マルチバイブレータ6の出力パルスはD型フリップフロップ9のクロック入力端子と、移相器7及び8とアップダウンカウンタ14のクロック入力端子とにそれぞれ供給される。

【0022】移相器7及び8は入力パルスの位相を所定量シフトする回路で、ここでは前記クランプ回路2の出力デジタル信号23のデータ確定期間を図3に示すように $t_1$ とすると、移相器7の移相量は入力パルスの立ち上がりエッジの位相が図3に26で示す位相であるときに、27で示す如く( $t_1/2$ )より僅かに短い期間 $\phi_2$ だけ立ち上がりエッジの位相が遅れるような値に設定され、また移相器8の移相量は28で示す如く、立ち上がりエッジの位相27(これは図2の21の位置に相当)に対して( $t_1/2$ )よりも僅かに短い期間 $\phi_1$ だけ立ち上がりエッジの位相が更に遅れるような値に設定されている。なお、上記の移相量 $\phi_1$ 及び $\phi_2$ はある程度の回路のばらつきや経年変化を勘案して余裕を持って設定されている。

【0023】D型フリップフロップ9はクランプ回路2の出力デジタル信号を、単安定マルチバイブレータ6の出力パルスの後縁(ここでは立ち上がりエッジ)でラッチして得たデータを出力してEX-OR回路12の一方の入力端子に入力する。D型フリップフロップ10はクランプ回路2の出力デジタル信号を、移相器7の出力パルスの後縁(ここでは立ち上がりエッジ)でラッチして得たデータを出力してEX-OR回路12の他方の入力端子とEX-OR回路13の一方の入力端子とに入力する。D型フリップフロップ11はクランプ回路2の出力デジタル信号を、移相器8の出力パルスの後縁(ここでは立ち上がりエッジ)でラッチして得たデータを出力してEX-OR回路13の他方の入力端子に入力する。

【0024】アップダウンカウンタ14はその減算計数制御入力端子に供給されるEX-OR回路12の出力信号が"H"レベルのときはクロック入力端子に入力される、単安定マルチバイブレータ6の出力パルスを減算計数し、その加算計数制御入力端子に供給されるEX-OR回路13の出力信号が"H"レベルのときはクロック入力端子に入力される、単安定マルチバイブレータ6の出力パルスを加算計数し、減算計数制御入力端子及び加算計数制御入力端子の両方に"L"レベルの信号が入力されるときには計数動作を行わず計数値を保持する。

【0025】ここで、移相器7の出力パルスの立上りエッジが図3に27で示す如く、デジタル入力信号23

のデータ確定期間の中央に位置するときには、単安定マルチバイブレータ6の出力パルスの立ち上がりエッジ及び移相器8の出力パルスの立ち上がりエッジはそれぞれ図3の26及び28で示す如く27と同じデータ確定期間t1内の位置にあるから、D型フリップフロップ9～11の各出力データ値は同一値を示す。従って、このときはEX-OR回路12及び13の両出力信号はいずれも“L”レベルとなり、アップダウンカウンタ14は計数動作を停止する。

【0026】一方、移相器7の出力パルスの立上りエッジが図3に27で示す位置から位相ずれが生じると、単安定マルチバイブレータ6及び移相器8の出力パルスのうち一方のパルスの立ち上がりエッジの位相が図3の24で示すデータ不確定期間内に位置するため、位相ずれ方向に応じてEX-OR回路12又は13の出力信号が“H”レベルとなり、アップダウンカウンタ14は減算計数又は加算計数を行う。

【0027】アップダウンカウンタ14の出力計数値はD/Aコンバータ15に供給され、ここでデジタルアナログ変換により前記位相ずれに応じたアナログ誤差電圧に変換され、抵抗16及びコンデンサ17を介して電源電圧として単安定マルチバイブレータ6に印加される。この電源電圧（誤差電圧）はアップダウンカウンタ14の出力計数値に応じて、すなわち、単安定マルチバイブレータ6の出力パルスの立ち上がりエッジの位置ずれ方向に応じて増減する。

【0028】これにより、単安定マルチバイブレータ6の時定数も上記の位置ずれ方向を減少させる方向に変化するため、単安定マルチバイブレータ6の出力パルスの立ち上がりエッジは、図3の26で示す位置に収斂するように（換言すると、移相器7の出力パルスの立上りエッジが図3に27で示す位置に収斂するように）制御される。

【0029】D型フリップフロップ5はクランプ回路2の出力デジタル信号を、この移相器7の出力パルスの後縁（すなわち、立ち上がりエッジ）でラッチして得たデータをそのQ出力端子から出力端子18へ出力する。上記したように、移相器7の出力パルスの立上りエッジは自動位相調整器4により図3の27で示す位置に収斂するように制御されるため、入力信号の図2に示したアイパターン20における最もデータが確定しているタイミング21で取り込んだデータを出力端子18へ出力することができる。

【0030】なお、本発明は上記の実施例に限定されるものではなく、例えば単安定マルチバイブレータ6の時定数を制御する手段としては、実施例のように抵抗16及びコンデンサ17よりなる単安定マルチバイブレータ6の時定数回路の電源電圧を変えることが回路構成上最

も簡単ではあるが、電源電圧は一定とし、コンデンサ17を可変容量素子としてD/Aコンバータ15の出力信号に応じてその容量値を可変するか、あるいは抵抗16を可変抵抗素子としてD/Aコンバータ15の出力信号に応じてその抵抗値を可変するように構成してもよいことは勿論である。

【0031】また、単安定マルチバイブレータ以外のパルス発生器（例えば位相同期ループ3の出力が入力される毎にクロックをカウント開始するカウンタのカウント値を、位相ずれ情報に応じた比較値が入力される一致回路で比較値と比較する構成など）を用いてクロックパルスを生成してもよい。また、クランプ回路2は後段回路部の論理レベルに変換すればよく、後段回路部がTTLレベル以外の論理レベルで動作する構成であれば、その論理レベルに変換するものである。更に、回路構成によってはパルスの立ち下がりエッジで各回路部をトリガするようにすることができることは勿論である。

【0032】

【発明の効果】以上説明したように、本発明によれば、自動位相調整器により3つの位相におけるデジタル入力信号のデータ値がそれぞれ等しくなるようにクロック信号の位相を自動調整することにより、位相同期ループの構成要素が経年変化更には温度変化などにより特性変化が生じて、クロック信号を入力信号のアイパターンの最もデータが確定しているタイミング位置に調整するようにしたため、位相同期ループの位相同期時の出力波形の位相を正確に予測できなくともアイパターンの最もデータが確定している部分のデータ値をサンプリングすることができ、正確にデータ識別再生をすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例の回路系統図である。

【図2】入力信号のアイパターンの一例を示す図である。

【図3】図1のクランプ回路の出力波形図である。

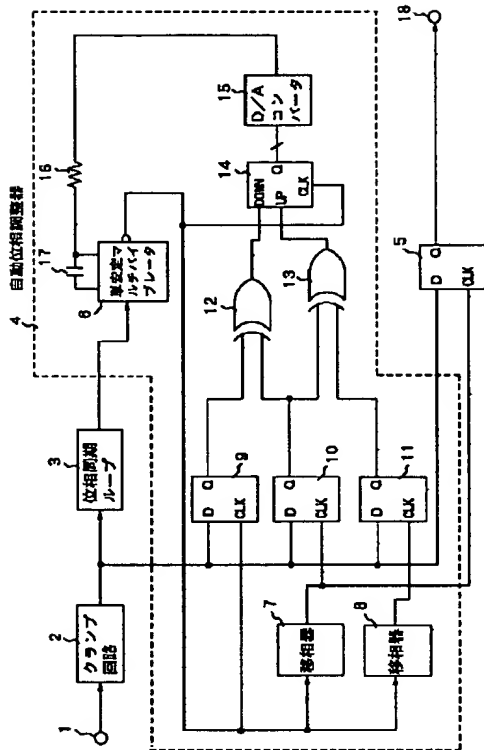
【図4】従来の一例のブロック図である。

【符号の説明】

- 1 入力端子
- 2 クランプ回路
- 3 位相同期ループ
- 4 自動位相調整器
- 5、9、10、11 D型フリップフロップ
- 6 単安定マルチバイブレータ
- 7、8 移相器
- 12、13 排他的論理和（EX-OR）回路
- 14 アップダウンカウンタ
- 15 D/Aコンバータ
- 18 出力端子

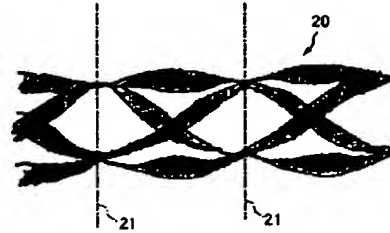
【図1】

本発明の一実施例の回路系図



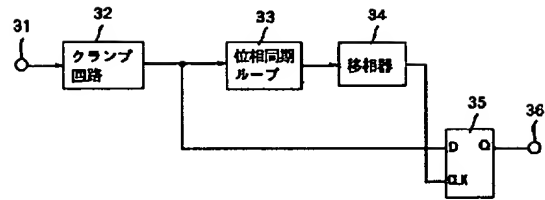
【図2】

入力信号のアイパターンの一例



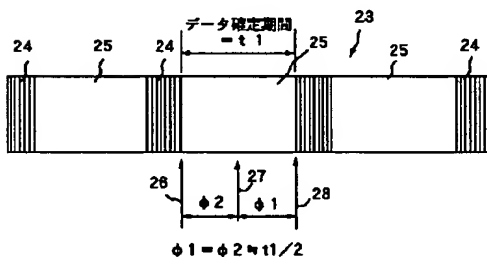
【図4】

従来の一例のブロック図



【図3】

クランプ回路の出力波形図



フロントページの続き

(51) Int. Cl. 6

H04L 7/033

25/08

識別記号

片内整理番号

Z 9199-5K

F I

技術表示箇所